# DA Protokoll

10.09.2019 Entnahme der Bauteile DA USL (1819)  
 Testlauf und Schallmessung des Prototyps mit 6x6 Array  
 🡺 2 Transmitter nur schwaches bis gar kein Signal.   
(Ein Kontakt unterbrochen 🡪 behoben, 2. Ursache unklar)  
 TODO: eventuell die Lücken im Array stopfen  
 Freizeit (2h) : Prototyp fertiggestellt.  
 Beim Testen aufgefallen: Jeder Transmitter bekommt ein 33kHz Signal (Rechteck) (optimieren), aber es wurde kein akustisches Signal über einen anderen Transmitter detektiert.

20.09.2019 Reckteck-Signal wieder auf 40kHz gebracht (Auflösung von 10 auf 8 Bit geändert)  
 2 Transmitter kaum Signal 🡪 Ursache finden, wahrscheinlich HW-bedingt  
 1 Transmitter extremes Rauschen 🡪 austauschen, defekt

24.09.2019 Defekte Transmitter ausgetauscht, nach erneutem Messen festgestellt, dass die Ports C7 (Element 1) und A8 (Element 40) kein gewünschtes Signal ausgeben  
 Ursachen: C7 🡪 Leiterbahn unterbrochen 🡪 repariert  
 A8 🡪 Aufgrund der Funktion als RX-Pin 🡪  
 Spannung konstant 🡪   
 Ports der Elemente 37-40 & 45-48  
 um einen Port nach oben geschoben  
Aufgrund einer durchgebrannten Leiterbahn und fehlender Zeit  
konnte nicht erneut getestet werden  
TODO: Vortex-Trap Phasen einspielen 🡪 erledigt

25.09.2019 Beim Testen festgestellt dass folgende Elemente kein Signal ausgeben:  
 33 (A2)  
 52 (B21)  
 45 (C22) 🡪 wahrscheinlich nicht als GPIO festgelegt nach der  
 Portverschiebung vom 24.09.2019

01.10.2019 Im Code richtigen Port festgelegt 🡪 hat alle fehlerhaften Transmitter  
 richtiggestellt  
 Erste Anzeichen von Levitation erkannt, Partikel wird aber noch weggedrückt  
 Nach erneutem Nachforschen in der DA von Asier Marzo1, soll eine Twin-Trap  
 benutzt werden.

02.10.2019 Nach erneutem Testen: Signale die phasengleich sein sollen bleiben bis sie an  
 den Transmittern ankommen, phasengleich 🡪 Ursache nicht SW-, sondern  
 HW-bedingt 🡪 einen Transmitter umlöten, danach erneut testen.   
 Wenn phasengleich, alle umlöten (eine Hälfte)

04.10.2019 Vermutung wurde bestätigt: Diverse Transmitter sind falsch eingelötet  
 Manche Transmittersignale sind um ca. 90° phasenverschoben  
 🡪 Ursache ist wahrscheinlich die unterschiedlich langen Leiterbahnen (?)  
 🡪 beim nächsten Design vermeiden  
 Port A7 (El.5) kein Signal mehr 🡪 wahrsch. SW-Fehler 🡪 behoben: nicht  
 freigeschaltet